

#3

**IN THE UNITED STATES PATENT AND TRADEMARK OFFICE**

In re U.S. Patent Application of

HATAE et al.

Application Number: 10/080,578

Filed: February 25, 2002

For: SEMICONDUCTOR INTEGRATED CIRCUIT AND  
COMPUTER-READABLE RECORDING MEDIUM



Honorable Assistant Commissioner  
for Patents  
Washington, D.C. 20231

**NOTICE OF PRIORITY  
UNDER 35 U.S.C. § 119  
AND THE INTERNATIONAL CONVENTION**

Sir:

In the matter of the above-captioned application for a United States patent, notice is hereby given that the Applicant claims the priority date of May 31, 2001, the filing date of the corresponding Japanese patent application 2001-163575

The certified copy of corresponding Japanese patent application 2001-163575 is being submitted herewith. Acknowledgment of receipt of the certified copy is respectfully requested in due course.

Respectfully submitted,

A handwritten signature in black ink, appearing to be "Stanley P. Fisher".

---

Stanley P. Fisher  
Registration Number 24,344

**REED SMITH LLP**  
3110 Fairview Park Drive  
Suite 1400  
Falls Church, Virginia 22042  
(703) 641-4200

**JUAN CARLOS A. MARQUEZ**  
Registration No. 34,072

**April 1, 2002**



日 本 国 特 許 庁  
JAPAN PATENT OFFICE

別紙添付の書類に記載されている事項は下記の出願書類に記載されている事項と同一であることを証明する。

This is to certify that the annexed is a true copy of the following application as filed with this Office

出 願 年 月 日

Date of Application:

2001年 5月31日

出 願 番 号

Application Number:

特願2001-163575

[ ST.10/C ]:

[ JP2001-163575 ]

出 願 人

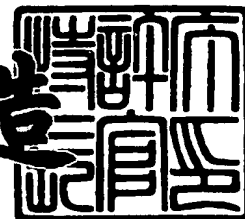
Applicant(s):

株式会社日立製作所

2002年 3月 5日

特 許 庁 長 官  
Commissioner,  
Japan Patent Office

及 川 耕 造



出証番号 出証特2002-3013369

【書類名】 特許願

【整理番号】 H01004161

【提出日】 平成13年 5月31日

【あて先】 特許庁長官殿

【国際特許分類】 G06F 13/38

【発明者】

【住所又は居所】 東京都青梅市新町六丁目 1 6 番地の 3 株式会社日立製作所 デバイス開発センタ内

【氏名】 波多江 博

【発明者】

【住所又は居所】 東京都青梅市新町六丁目 1 6 番地の 3 株式会社日立製作所 デバイス開発センタ内

【氏名】 渡辺 浩己

【発明者】

【住所又は居所】 東京都青梅市新町六丁目 1 6 番地の 3 株式会社日立製作所 デバイス開発センタ内

【氏名】 小林 幸史

【特許出願人】

【識別番号】 000005108

【氏名又は名称】 株式会社日立製作所

【代理人】

【識別番号】 100089071

【弁理士】

【氏名又は名称】 玉村 静世

【電話番号】 047-361-8861

【手数料の表示】

【予納台帳番号】 011040

【納付金額】 21,000円

【提出物件の目録】

【物件名】 明細書 1

【物件名】 図面 1

【物件名】 要約書 1

【プルーフの要否】 要

【書類名】 明細書

【発明の名称】 半導体集積回路及びコンピュータ読取り可能な記録媒体

【特許請求の範囲】

【請求項 1】 複数個のデータを並列演算可能な SIMD 演算部と、前記 SIMD 演算部に接続可能なデータバッファと、前記データバッファとの間のデータ転送制御を行うデータ転送制御部とを有し、前記データ転送制御部は、前記データバッファから読み出された複数個のデータに対する前記 SIMD 演算部による演算動作に並行して前記データバッファに以降の演算に用いるデータを転送制御可能であることを特徴とする半導体集積回路。

【請求項 2】 前記データバッファはデュアルポートを持ち、一方のポートは第 1 バスを介して前記 SIMD 演算部に接続され、他方のポートは第 2 バスを介して前記データ転送制御部に接続されて成るものであることを特徴とする請求項 1 記載の半導体集積回路。

【請求項 3】 前記一方のポートは前記第 1 バスとの間で複数個のデータを並列入出力可能であり、前記他方のポートは前記第 2 バスとの間で複数個のデータを並列入出力可能であることを特徴とする請求項 2 記載の半導体集積回路。

【請求項 4】 前記 SIMD 演算部は、前記第 1 バスに接続され複数個のデータを並列ラッチ可能な第 1 データレジスタと、前記第 1 バスに接続され複数個のデータを並列ラッチ可能な第 2 データレジスタと、前記第 1 及び第 2 データレジスタに夫々ラッチされた複数個のデータを入力して並列演算を行う演算器と、を含んで成るものであることを特徴とする請求項 3 記載の半導体集積回路。

【請求項 5】 前記 SIMD 演算部に対する演算制御と前記データバッファに対する前記第 1 バス経由のアクセス制御が可能な中央処理装置を有して成るものであることを特徴とする請求項 2 記載の半導体集積回路。

【請求項 6】 複数個のデータを並列演算可能な SIMD 演算部と、前記 SIMD 演算部に第 1 バスで接続されるデータバッファと、前記データバッファに第 2 バスで接続されるデータ転送制御部とを有し、前記データ転送制御部は、前記第 2 バスを經由して前記データバッファへ転送すべき複数個のデータに対し夫々ビット拡張を行うビット拡張部を含んで成るものであることを特徴とする半導

体集積回路。

【請求項 7】 前記ビット拡張部はデータの最上位ビットに基づいて 1 ビットの符号拡張を行うものであることを特徴とする請求項 6 記載の半導体集積回路。

【請求項 8】 前記ビット拡張部は複数個のデータに対して並列的にビット拡張を行うものであることを特徴とする請求項 6 記載の半導体集積回路。

【請求項 9】 前記ビット拡張部の前段に複数個のデータに対するデータアライナを有して成るものであることを特徴とする請求項 6 記載の半導体集積回路。

【請求項 10】 前記データ転送制御部は、前記データバッファから読み出されて前記第 2 バスを経由する複数個のデータに対して夫々ビット縮小を行うビット縮小部を有して成るものであることを特徴とする請求項 6 記載の半導体集積回路。

【請求項 11】 前記ビット縮小部はデータの最上位ビットの切り捨てを行うものであることを特徴とする請求項 10 記載の半導体集積回路。

【請求項 12】 前記データバッファはデュアルポートを持ち、一方のポートは第 1 バスを介して前記 SIMD 演算部に接続され、他方のポートは第 2 バスを介して前記データ転送制御部に接続されて成るものであることを特徴とする請求項 6 記載の半導体集積回路。

【請求項 13】 前記一方のポートは前記第 1 バスとの間で複数個のデータを並列入出力可能であり、前記他方のポートは前記第 2 バスとの間で複数個のデータを並列入出力可能であることを特徴とする請求項 12 記載の半導体集積回路。

【請求項 14】 前記 SIMD 演算部は、前記第 1 バスに接続され複数個のデータを並列ラッチ可能な第 1 データレジスタと、前記第 1 バスに接続され複数個のデータを並列ラッチ可能な第 2 データレジスタと、前記第 1 及び第 2 データレジスタに夫々ラッチされた複数個のデータを入力して並列演算を行う演算器と、を含んで成るものであることを特徴とする請求項 13 記載の半導体集積回路。

【請求項 15】 前記 SIMD 演算部に対する演算制御と前記データバッファ

ァに対する前記第 1 バス経由のアクセス制御が可能な中央処理装置を有して成るものであることを特徴とする請求項 1 4 記載の半導体集積回路。

【請求項 1 6】 画像データの圧縮処理に際して前記第 1 及び第 2 データレジスタには画像データがラッチされ、画像データの伸張処理に際して前記第 1 データレジスタには画像データがラッチされ、第 2 データレジスタには逆 D C T 演算データがラッチされるものであることを特徴とする請求項 1 5 記載の半導体集積回路。

【請求項 1 7】 複数のデータを並列演算可能な S I M D 演算部と、前記 S I M D 演算部に接続可能なデータバッファと、前記データバッファとの間のデータ転送制御を行うデータ転送制御部と、前記データバッファと前記 S I M D 演算部とを接続するデータ転送経路に S I M D 演算部への複数のデータに対して並列的にビット拡張を行うビット拡張部と、を有して成るものであることを特徴とする半導体集積回路。

【請求項 1 8】 半導体チップに形成されるべき半導体集積回路をコンピュータを用いて設計するための回路モジュールデータが前記コンピュータにより読取り可能に記憶された記録媒体であって、前記記録媒体に記憶された回路モジュールデータは、複数のデータを並列演算可能な S I M D 演算部と、前記 S I M D 演算部に接続可能なデータバッファと、前記データバッファから読み出された複数のデータに対する前記 S I M D 演算部による演算動作に並行して前記データバッファに以降の演算に用いるデータを転送制御可能なデータ転送制御部と、を前記半導体チップに形成する為の図形パターンデータ又は機能記述データを含むことを特徴とするコンピュータ読取り可能な記録媒体。

【請求項 1 9】 半導体チップに形成されるべき半導体集積回路をコンピュータを用いて設計するための回路モジュールデータが前記コンピュータにより読取り可能に記憶された記録媒体であって、前記記録媒体に記憶された回路モジュールデータは、複数のデータを並列演算可能な S I M D 演算部と、前記 S I M D 演算部に接続可能なデータバッファと、前記データバッファとの間のデータ転送制御を行うと共に前記データバッファへ転送すべき複数のデータに対して夫々ビット拡張を行うことが可能なデータ転送制御部と、を前記半導体チップに形

成する為の図形パターンデータ又は機能記述データを含むことを特徴とするコンピュータ読取り可能な記録媒体。

【請求項 2 0】 半導体チップに形成されるべき半導体集積回路をコンピュータを用いて設計するための回路モジュールデータが前記コンピュータにより読取り可能に記憶された記録媒体であって、前記記録媒体に記憶された回路モジュールデータは、複数個のデータを並列演算可能な SIMD 演算部と、 SIMD 演算部に接続可能なデータバッファと、前記データバッファとの間のデータ転送制御を行うデータ転送制御部と、前記データバッファから SIMD 演算部へ複数個のデータを並列転送するデータ転送経路に前記複数個のデータに対して並列的にビット拡張を行うビット拡張部と、を前記半導体チップに形成する為の図形パターンデータ又は機能記述データを含むことを特徴とするコンピュータ読取り可能な記録媒体。

【請求項 2 1】 複数個のデータを並列演算可能な SIMD 演算部と、前記 SIMD 演算部に接続可能なデータバッファと、前記データバッファとの間のデータ転送制御を行うデータ転送制御部と、画像データを格納可能なメモリとを含み、

前記データ転送制御部は、前記メモリから読み出したデータに対し、データの成形を行うことが可能なデータアライメント部を含むことを特徴とする半導体集積回路。

# 【発明の詳細な説明】

## 【 0 0 0 1 】

### 【発明の属する技術分野】

本発明は、 SIMD (シングル・インストラクション・マルチプル・データ) 演算器を備えた半導体集積回路、特にそれにおける演算処理の効率化、並びに当該半導体集積回路の設計容易化技術に関し、例えば、 MPEG (モービング・ピクチャー・エキスパート・グループ) 準拠の画像データを圧縮・伸張可能な LSI に適用して有効な技術に関する。

## 【 0 0 0 2 】

### 【従来の技術】



現在、MPEG 2、MPEG 4 規格に代表されるような画像の圧縮伸張処理によるサービスが実用化されている。これらの規格では、動き検出処理を必要とし、この処理では、膨大な画素演算処理を必要とする。これらの演算をプロセッサで行う場合には、並列処理が有効である。そのようなプロセッサは、SIMD 演算処理が可能なアーキテクチャを備える。例えば、命令セットにMMX 命令などを有するプロセッサがある。MMX 技術について記載された文献の例として、日経BP社の最新マイクロプロセッサテクノロジー（1996年5月10日発行）の第202～208頁が有る。これによれば、通常は64ビットとして動作する演算器を、MMX 命令実行時には、機能的に8個の8ビットの演算器、4個の16ビットの演算器、或は2個の32ビットの演算器等のように動作させるようになっている。例えば画像データの処理単位が8ビットであるなら、64ビットの演算器は8並列の8ビット演算器として動作させることができ、64ビットの演算器を1個の64ビット演算器として動作させる場合に比べて、演算能力は大凡8倍になり、膨大な画像データに対して演算効率を向上させることができる。

## 【0003】

## 【発明が解決しようとする課題】

本発明者は画像データの圧縮伸張処理に際して行うSIMD 演算処理について検討した。

## 【0004】

第1に、画像のデータは通常1画素につき8ビットとして取り扱われることが多く、最終結果の画素データとしては正の値しか持たない。そのため、一般的には、画像データは符号なしの8ビット単位のデータとしてメモリ等に格納されている。しかし、圧縮伸張の演算途中では、DCT（ディスクリート・コサイン・トランスファ：離散コサイン変換）係数やIDCT（インバースDCT）結果などに代表される、負の値を取り得るデータを扱う必要があり、演算器では符号付き演算を実行しなければならない。8ビットの画像データの場合は符号1ビットが付加されることになる。そのため、前述のMMXのようなアーキテクチャでは、8ビット×8個のSIMD 演算を実行した場合、実質、符号ビットを除いた7ビットデータしか取り扱うことができない。8ビットデータを扱う場合には、6

4ビットの演算器を16ビット単位で4分割し、16ビット単位の並列演算を行わなければならない、演算効率は半減し、演算器の16ビット単位の上位側7ビット分は演算リソースの無駄になることが明らかにされた。

## 【0005】

第2に、画像データの圧縮伸張の演算においては、画素単位に必要なデータを演算器に入力する必要がある。従来のSIMD演算器でその要求に答えるには、メモリ上で直接必要な画像エリアのデータを切出してSIMD演算器のレジスタに内部転送することは行なわれず、メモリ上におけるメモリアクセス単位の倍数である32ビット境界、或は64ビット境界単位で一度SIMD演算用のレジスタにデータ読み込み、その後、データ整形のために、データシフト命令などを組み合わせて必要なデータを得る必要があった。この処理は命令実行によるソフトウェア処理であるから、データ演算処理効率低下の一因になる。

## 【0006】

第3に、上記第2の問題点の解決のために、SIMD演算用のレジスタにデータをロードする前に、バッファ領域で所要の画像エリアの画像データを切出す処理を行うことについて検討したが、その場合に、画像メモリから画像データをバッファメモリにストアする処理が新たに加わり、データ整形のための演算処理時間の短縮とは別次元で解決すべき要因が増えてしまう。

## 【0007】

本発明の目的はSIMD演算を効率的に行うことができる半導体集積回路を提供することにある。

## 【0008】

本発明の別の目的は、SIMD演算の対象データに対するビット拡張が必要であってもそれによって演算リソースに無駄を生じない半導体集積回路を提供することにある。

## 【0009】

本発明の更に別の目的は、必要なデータをSIMD演算器のデータレジスタに揃えるというようなデータ整形のために、データシフト命令などを組み合わせて実行する必要がなく、効率的にSIMD演算器を動作させることが可能な半導体

集積回路を提供することにある。

【0010】

本発明の更に別の目的は、画像メモリから画像データをバッファメモリにストアする処理を新たに加わえてデータ整形を行っても、それによってSIMD演算処理の効率低下を生じないようにできる半導体集積回路を提供することにある。

【0011】

本発明のその他の目的は上記それぞれの目的に係る半導体集積回路の設計の容易化に寄与することができる当該半導体集積回路の回路モジュールデータを格納したコンピュータ読取り可能な記録媒体を提供することにある。

【0012】

本発明の前記並びにその他の目的と新規な特徴は本明細書の記述及び添付図面から明らかになるであろう。

【0013】

【課題を解決するための手段】

本願において開示される発明のうち代表的なものの概要を簡単に説明すれば下記の通りである。

【0014】

〔1〕本発明の第1の観点による半導体集積回路は、複数個のデータを並列演算可能なSIMD演算部（3）と、前記SIMD演算部に接続可能なデータバッファ（9）と、前記データバッファとの間のデータ転送制御を行うデータ転送制御部（5）とを有し、前記データ転送制御部は、前記データバッファから読み出された複数個のデータに対する前記SIMD演算部による演算動作に並行して前記データバッファに以降の演算に用いるデータを転送制御可能とされる。

【0015】

前記データバッファには前記データ転送制御部のデータ転送制御により画像メモリの所要エリアから切り出された画像データなどが転送される。画像メモリはDRAM若しくはシンクロナスDRAMなどの大容量低速メモリによって構成される。データバッファはSRAMなどの高速メモリによって構成される。前記データバッファに転送された画像メモリはSIMD演算部に供給され、その他の画

像データ或いは係数データと演算される。前記S I M D演算部による演算動作に並行して前記データバッファには以降の演算に用いるデータが転送されるから、S I M D演算部はデータバッファへの演算データの内部転送動作によって演算動作が中断されず、間段なく演算動作を行うことができ、S I M D演算を効率的に行うことができる。

## 【 0 0 1 6 】

具体的な態様では、前記データバッファはデュアルポートを持ち、一方のポート（9 B）は第1バス（1 2 D）を介して前記S I M D演算部に接続され、他方のポート（9 A）は第2バス（1 5 D）を介して前記データ転送制御部に接続される。第1バスと第2バスが分離されることにより、前記S I M D演算部による演算動作に並行して前記データバッファに次の演算に用いるデータを転送することを保証することができる。

## 【 0 0 1 7 】

前記一方のポートは前記第1バスとの間で複数個のデータを並列入出力可能であり、前記他方のポートは前記第2バスとの間で複数個のデータを並列入出力可能である。データ転送に必要なバスサイクル若しくはメモリサイクルの数を最小限に抑えることができ、S I M D演算効率を最大に引き上げることが可能になる。

## 【 0 0 1 8 】

前記S I M D演算部は、前記第1バスに接続され複数個のデータを夫々並列ラッチ可能な第1及び第2データレジスタ（4 1，4 2）と、前記第1及び第2データレジスタに夫々ラッチされた複数個のデータを入力して並列演算を行う演算器（4 0）とによって構成してよい。例えばM P E G 2、M P E G 4などの画像データに対するデータ圧縮では、前記第1及び第2データレジスタには前記画像メモリからの画像データがラッチされて所定の演算処理が行われる。伸張処理では第1データレジスタには前記画像メモリからの画像データがラッチされ第2データレジスタにはI D C T結果データがラッチされて所定の演算処理が行われる。

## 【 0 0 1 9 】

前記 SIMD 演算部に対する演算制御と前記データバッファに対する前第 1 バス経由のアクセス制御を行う中央処理装置 (2) をオンチップしてよい。それら制御は中央処理装置のソフトウェアで規定すればよい。

#### 【 0 0 2 0 】

〔 2 〕 本発明の第 2 の観点による半導体集積回路は、符号付きの DCT 係数又は IDCT 結果等との演算対象にされる画像データに対する符号拡張のようなビット拡張に着目する。すなわち、半導体集積回路は、複数個のデータを並列演算可能な SIMD 演算部 (3) と、前記 SIMD 演算部に第 1 バス (12D) で接続されるデータバッファ (9) と、前記データバッファに第 2 バス (15D) で接続されるデータ転送制御部 (5) とを有し、前記データ転送制御部は、前記第 2 バスを経由して前記データバッファへ転送すべき複数個のデータに対し夫々ビット拡張を行うビット拡張部 (25) を含む。符号付きデータとの演算に際して符号無データの符号拡張を考慮すると、これを CPU 等によるソフトウェアで行うことも可能であるが、その場合には SIMD 演算リソースに対してデータのワード境界若しくはバイト境界を考慮して符号拡張データのビット数を決定しなければならない。データバッファへのローカルな第 2 バスを経由するデータ転送制御部上のビット拡張部を用いて符号拡張を行う場合には、CPU への負担は殆ど無い。しかも、前記第 1 バスが SIMD 演算部以外の演算手段又は記憶手段等に共有される構成を考慮すると、ビット拡張部の追加による伝送線負荷の増大があってもローカルな第 2 バスに関してだけであり、SIMD 演算部への信号伝送に対する影響は皆無である。

#### 【 0 0 2 1 】

前記ビット拡張部は、例えばデータの最上位ビットに基づいて 1 ビットの符号拡張を行う。

#### 【 0 0 2 2 】

前記ビット拡張部に、複数個のデータに対して並列的にビット拡張を行う構成を採用すれば、データ毎にビット拡張を行わずに済み、データ転送制御部内のデータ転送経路上を複数個のデータが伝達される途上でまとめてビット拡張が可能である。

## 【 0 0 2 3 】

画像データから所要の画像領域の画像データを切出してS I M D演算対象とする場合、メモリアクセスのワード境界などの関係で最初から必要な画像データだけを画像メモリからリードすることができないことがある。その場合には、メモリからのデータの読み出しとシフト処理を複数回行ってデータアライメントすることができる。そのような処理をS I M D演算器のデータレジスタと演算器を用いて複数の演算サイクルを要して達成することも可能であるが、本来のS I M D演算効率が低下する。これを考慮し、前記ビット拡張部の前段に複数個のデータに対するデータアライナ(61)を設ければ、C P Uの処理負担を増すことなく簡単にデータアライメントを実現でき、しかもそのデータアライメント処理はデータバッファ前段で完了するから、データアライメント処理による画像メモリアクセス回数の増加はS I M D演算処理効率に影響を与えない。

## 【 0 0 2 4 】

M P E G 2、M P E G 4規格に代表される画像データの伸張処理では符号無画像データを符号拡張してI D C T結果データとのS I M D演算等を行う。伸張された画像情報を画像メモリに書込む場合には演算結果に付随する符号は不要であり、そのような符号を削除する手段として、例えば、前記データ転送制御部に、前記データバッファから読み出されて前記第2バスを經由する複数個のデータに対して夫々所定ビットの切り捨てを行うビット縮小部を設けるとよい。

## 【 0 0 2 5 】

前記ビット縮小部は例えばデータの最上位ビットを削減する符号ビット切り捨てを行う。

## 【 0 0 2 6 】

前記データバッファは、例えば、デュアルポートを持ち、一方のポート(9B)は第1バス(12D)を介して前記S I M D演算部に接続され、他方のポート(9A)は第2バス(15D)を介して前記データ転送制御部に接続されて成る。このとき、前記一方のポートは前記第1バスとの間で複数個のデータを並列入出力可能とし、前記他方のポートは前記第2バスとの間で複数個のデータを並列入出力可能とすれば、データ転送に費やす処理サイクル数を最小限にすることが

できる。

【 0 0 2 7 】

前記 S I M D 演算部は、例えば、前記第 1 バスに接続され複数個のデータを並列ラッチ可能な第 1 データレジスタと、前記第 1 バスに接続され複数個のデータを並列ラッチ可能な第 2 データレジスタと、前記第 1 及び第 2 データレジスタに夫々ラッチされた複数個のデータを入力して並列演算を行う演算器と、を含んで構成してよい。前記 S I M D 演算部に対する演算制御と前記データバッファに対する前記第 1 バス経由のアクセス制御が可能な中央処理装置を有してよい。画像データの圧縮処理に際して前記第 1 及び第 2 データレジスタには画像データがラッチされ、画像データの伸張処理に際して前記第 1 データレジスタには画像データがラッチされ、第 2 データレジスタには I D C T 結果データがラッチされる。

【 0 0 2 8 】

〔 3 〕 本発明の第 3 の観点による半導体集積回路は、符号付きの D C T 係数又は I D C T 結果と演算対象とさる画像データに対する符号拡張のようなビット拡張に着目する。ここでは、前記データバッファと前記 S I M D 演算部とを接続するデータ転送経路に S I M D 演算部への複数個のデータに対して並列的にビット拡張を行うビット拡張部 ( 2 5 A ) を配置する。この場合も、データ転送経路上で複数個のデータに対して並列的にビット拡張を行うから、その処理に関して C P U への負担は殆ど無い。但し、ビット拡張部が配置されるデータ転送経路が S I M D 演算部以外の演算手段や記憶手段等に共有されるなら、ビット拡張部の追加によりデータ転送経路の信号配線負荷の増大に注意しなければならない。

【 0 0 2 9 】

〔 4 〕 データアライメントの観点を主とした半導体集積回路は、複数個のデータを並列演算可能な S I M D 演算部と、前記 S I M D 演算部に接続可能なデータバッファと、前記データバッファとの間のデータ転送制御を行うデータ転送制御部と、画像データを格納可能なメモリとを含み、前記データ転送制御部は、前記メモリから読み出したデータに対し、データの成形を行うことが可能なデータアライメント部を含む。

【 0 0 3 0 】

〔５〕上記データ転送制御部などを採用した半導体集積回路の設計を容易化するという観点による、コンピュータ読取り可能な記録媒体（７１）は、半導体チップに形成されるべき半導体集積回路をコンピュータ（７０）を用いて設計するための回路モジュールデータが前記コンピュータにより読取り可能に記憶される。前記記録媒体に記憶された回路モジュールデータは、複数個のデータを並列演算可能なSIMD演算部と、前記SIMD演算部に接続可能なデータバッファと、前記データバッファから読み出された複数個のデータに対する前記SIMD演算部による演算動作に並行して前記データバッファに以降の演算に用いるデータを転送制御可能なデータ転送制御部と、を前記半導体チップに形成する為の図形パターンデータ又は機能記述データを含む。この記録媒体に格納された回路モジュールデータを用いることにより、上記〔１〕の説明に係る半導体集積回路の設計を容易化することができる。

## 【 0 0 3 1 】

コンピュータ読取り可能な別の記録媒体（７１）は、半導体チップに形成されるべき半導体集積回路をコンピュータ（７０）を用いて設計するための回路モジュールデータが前記コンピュータにより読取り可能に記憶される。前記記録媒体に記憶された回路モジュールデータは、複数個のデータを並列演算可能なSIMD演算部と、前記SIMD演算部に接続可能なデータバッファと、前記データバッファとの間のデータ転送制御を行うと共に前記データバッファへ転送すべき複数個のデータに対して夫々ビット拡張を行うことが可能なデータ転送制御部と、を前記半導体チップに形成する為の図形パターンデータ又は機能記述データを含む。この記録媒体に格納された回路モジュールデータを用いることにより、上記〔２〕の説明に係る半導体集積回路の設計を容易化することができる。

## 【 0 0 3 2 】

コンピュータ読取り可能な更に別の記録媒体（７１）は、半導体チップに形成されるべき半導体集積回路をコンピュータ（７０）を用いて設計するための回路モジュールデータが前記コンピュータにより読取り可能に記憶される。前記記録媒体に記憶された回路モジュールデータは、複数個のデータを並列演算可能なSIMD演算部と、SIMD演算部に接続可能なデータバッファと、前記データバ



ッファとの間のデータ転送制御を行うデータ転送制御部と、前記データバッファから SIMD 演算部へ複数のデータを並列転送するデータ転送経路に前記複数のデータに対して並列的にビット拡張を行うビット拡張部と、を前記半導体チップに形成する為の図形パターンデータ又は機能記述データを含む。この記録媒体に格納された回路モジュールデータを用いることにより、上記〔3〕の説明に係る半導体集積回路の設計を容易化することができる。

## 【 0 0 3 3 】

## 【発明の実施の形態】

《データプロセッサの概要》図 1 には本発明に係る半導体集積回路の一例が示される。同図に示される半導体集積回路は画像データの圧縮伸張処理に特化したデータプロセッサとして構成される。このデータプロセッサ 1 は、単結晶シリコンのような 1 個の半導体基板（半導体チップ）に、CMOS 集積回路製造技術などによって形成される。

## 【 0 0 3 4 】

データプロセッサ 1 は、中央処理装置（CPU）2、SIMD 演算部 3、DC T 処理回路 4、データ転送制御部 5、前記 CPU 2 の動作プログラムの格納や CPU 2 のワーク領域として利用されるワーク RAM 6、SIMD 演算部 3 と DC T 処理回路 4 との間に配置されたデータ RAM 7、係数 RAM 8、前記 SIMD 演算部 3 とデータ転送制御部 5 との間に配置されたバッファメモリとしてのバッファ RAM 9、及びホストインタフェース回路 10 を有する。

## 【 0 0 3 5 】

SIMD 演算部 3 は画像データの圧縮伸張処理に際して、CPU 2 からの制御に基づいて並列演算を行う。要するに、SIMD 演算部 3 は複数の演算器を有し、CPU 2 による一つの SIMD 演算命令の解釈結果に基づいて複数の演算器が夫々別々のデータをフェッチして並列演算動作する。11 は CPU 2 と SIMD 演算部 3 との間の演算制御信号を総称する。

## 【 0 0 3 6 】

SIMD 演算部 3 は、演算対象データや演算結果データを前記バッファ RAM 9、データ RAM 7 との間で、第 1 データバス（データバス）12D を介してや

りとりする。第1データバス12Dは、特に制限されないが144ビットとされる。第1データバス12Dを経由するデータアクセス制御は、CPU2によりCPUアドレスバス及び制御バス13Aを介して行なわれる。13DはCPUデータバスを意味する。

## 【0037】

前記データ転送制御部5はバッファRAM9と外部の画像メモリ（外部メモリとも記す）17との間のデータ転送制御を行う。転送制御条件の設定は前記CPU2が行う。データ転送制御部5とバッファRAM9とは第2データバス15D及び第2アドレスバス15Aで接続される。制御バスは図示を省略してある。データ転送制御部5と画像メモリ17とは第3データバス16D及び第3アドレスバス16Aで接続される。制御バスは図示を省略してある。

## 【0038】

画像フレーム間の予測符号化などによる画像データの圧縮処理ではバッファRAM9に格納された符号付き画像データがSIMD演算部3に供給され、画像フレーム間の差分演算などが行われ、その演算結果がデータRAM7に保持される。保持された演算結果に基づいてDCT処理回路4でDCT係数が取得され、取得されたDCT係数は係数RAM8を介して画像フレームの画素との対応が採られて、ホストインタフェース10からホスト装置19に与えられる。

## 【0039】

画像データの伸張処理では、基準となるフレームの符号付き画像データが画像メモリ17からバッファRAM9に一時記憶される。これに同期して、ホスト装置19から対応する係数データが順次係数RAM8を経由してDCT処理回路4に供給され、ここでIDCT演算されてデータRAM7に一次保持される。SIMD演算部3はデータRAM7からIDCT結果とバッファRAM9から符号付き画像データを入力し、復号の演算処理を行う。これによって伸張された画像データはバッファRAM9に転送される。

## 【0040】

前記データ転送制御部5はバッファRAM9と画像メモリ17との間のデータ転送制御を行うとともに、画像メモリ17からバッファRAM9に転送する画像

データに対する符号拡張処理を行い、また、バッファRAM 9から画像メモリ 17に転送するところの伸張されてバッファRAM 9に格納された符号付き画像データに対する符号縮小処理を行う。

#### 【0041】

《データ転送制御部》図2には前記データ転送制御部5の詳細な一例が示される。データ転送制御部5は、制御レジスタ部21、アドレス制御回路22、データ入出力回路23、データ入出力回路24、符号拡張を行うビット拡張回路25、及び符号ビット切り捨てを行う符号縮小回路としてのビット切り捨て回路26を有する。

#### 【0042】

制御レジスタ部21はCPU 2によってデータ転送制御条件、符号拡張処理条件などが設定される。アドレス制御回路22はデータ転送制御条件に従って、画像メモリ17に対してアドレス制御に代表されるアクセス制御を行い、バッファRAM 9に対してアドレス制御に代表されるアクセス制御を行う。

#### 【0043】

ここで、前記バッファRAM 9は特に制限されないが、デュアルポートを持つデュアルポートRAMによって構成される。第2ポート9Aはデータ転送制御部5に接続され、アドレス制御回路22からのアクセス制御を入力する。第1ポートはCPUアドレスバス13A及びデータバス12Dに接続され、CPU 2によるアクセス制御を受ける。特に制限されないが、バッファRAM 9は、多数のメモリセルがマトリクス配置されたメモリアレイを有し、メモリセルの選択端子に接続されるワード線及びメモリセルのデータ入出力端子に接続されるビット線は、各ポート9A、9Bに固有に設けられ、各ポートからメモリセルを完全並列でアクセスすることができる。

#### 【0044】

前記データ入出力回路24は、図3に例示されるように、8ビット毎に分割された8個の入出力制御回路ユニット30に接続される。128ビットのデータバス16Dは、128本の信号線16D[127:0]を有し、下位側より順次8本ずつの信号線16D[7:0]～16D[127:120]が8本を一単位として対

応する入出力制御回路ユニット 3 0 に接続される。例えば最下位側の入出力制御回路ユニット 3 0 は、入力動作では 8 本の信号線 1 6 D [7 : 0] を 8 ビットの内部信号線 D a i [7 : 0] に、出力動作では 8 本の信号線 1 6 D [7 : 0] を 8 ビットの内部信号線 D a o [7 : 0] に接続する制御を行う。他の入出力制御回路ユニット 3 0 も同様に対応する信号線に接続され入出力動作を制御する。尚、入出力制御回路ユニット 3 0 は、信号入力側にビット対応でエッジトリガ型のフリップフロップを有し、そのラッチ動作によって入力データを波形整形する機能を有する。

## 【 0 0 4 5 】

前記データ入出力回路 2 3 は、同じく図 3 に例示されるように、9 ビット毎に分割された 8 個の入出力制御回路ユニット 3 1 に接続される。1 4 4 ビットのデータバス 1 5 D は、1 4 4 本の信号線 1 5 D [1 1 4 4 : 0] を有し、下位側より順次 9 本ずつの信号線 1 5 D [8 : 0] ~ 1 5 D [1 4 4 : 1 3 5] が 9 本を一単位として対応する入出力制御回路ユニット 3 1 に接続される。例えば最下位側の入出力制御回路ユニット 3 1 は、入力動作では 9 本の信号線 1 5 D [8 : 0] を 9 ビットの内部信号線 D b i [8 : 0] に、出力動作では 9 本の信号線 1 5 D [8 : 0] を 9 ビットの内部信号線 D b o [8 : 0] に接続する制御を行う。他の入出力制御回路ユニット 3 0 も同様に対応する信号線に接続され入出力動作を制御する。尚、入出力制御回路ユニット 3 1 は、信号入力側にビット対応でエッジトリガ型のフリップフロップを有し、そのラッチ動作によって入力データを波形整形する機能を有する。

## 【 0 0 4 6 】

ビット拡張回路 2 5 は、図 4 に例示されるように、例えば 8 ビットの内部信号線 D a i [7 : 0] が入力され、その最上位ビット D a i [7] が選択回路 3 3 に入力される。制御線 3 4 により、最上位ビット D a i [7] が選択されている場合には、入力 D a i [7] が “0” の場合は “0” を、入力 D a i [7] が “1” の場合は “1” を選択して、D b o [8] として出力する。D a i [7 : 0] は D b o [7 : 0] に一致されている。これにより、D a i [7 : 0] の最上位ビット D a i [7] の符号拡張がなされて、D b o [8 : 0] が得られる。制御線 3 4 により “0”

挿入モードが選択されると、最上位ビット  $D b o[8]$  は“0”に固定される。尚、他のビット拡張回路 2 5 も同様に対応する信号線に接続されて 1 ビットの符号拡張動作が可能にされる。

## 【 0 0 4 7 】

ビット切り捨て回路 2 6 は、図 5 に例示されるように、例えば 9 ビットの内部信号線  $D b i[8:0]$  の最上位ビット  $D b i[8]$  を削って、8 ビットで、内部信号線  $D a o[7:0]$  に接続する。要するに、内部信号線  $D a o[7:0]$  が内部信号線  $D b i[7:0]$  に接続される。尚、他のビット切り捨て回路 2 6 も同様に対応する信号線に接続されて 1 ビットの符号切り捨て動作が可能にされる。

## 【 0 0 4 8 】

次に、データ転送制御部 5 により、画像メモリ 1 7 からバッファ RAM 9 に画像データを転送する動作について説明する。

## 【 0 0 4 9 】

まず CPU 2 がアドレスバス 1 3 A 及びデータバス 1 3 D を介して制御レジスタ部 2 1 に転送制御条件などを設定し、その後、転送イネーブルビットに“1”をセットする。これにより、データ転送制御部 5 にデータ転送制御動作が起動される。データ転送制御部 5 は、アドレス制御回路 2 2 を用いて画像メモリ 1 7 にリードアドレス等を出力する。例えば図 6 のタイミングチャートにおいてアドレス A 1 を出力する。これによって画像メモリ 1 7 のデータバス 1 6 D に 1 2 8 ビットのリードデータ（図 6 のデータ D 1）が出力され、出力データはデータ入出力回路 2 4 に読み込まれる。このデータ入出力回路 2 4 において、前述のようにリードデータはビット毎にエッジトリガ型のフリップフロップに取り込まれる。そして、読み込まれた 1 2 8 ビットのリードデータは 8 ビット毎のデータ信号線  $D a i[7:0] \sim D a i[127:120]$  に分割され、それぞれ 8 個のビット拡張回路 2 5 に入力される。ビット拡張回路 2 5 では、夫々の最上位ビットを判別して 9 ビットにビット拡張を行い、拡張結果を、9 ビット毎にデータ信号線  $D b o[8:0] \sim D b o[143:135]$  に出力する。それら信号線  $D b o[8:0] \sim D b o[143:135]$  に伝達される 1 4 4 ビットのデータはデータ入出力回路 2 3 を介して、データバス 1 5 D に出力される。図 6 において E 1 がその出力

データである。これに同期して、アドレス制御回路 2 2 はバッファ RAM 9 に転送先のアドレスを出力する（図 6 の B 1）。これによって、1 4 4 ビットの符号付き画像データは第 2 ポート 9 A を介してバッファ RAM 9 に格納される。

#### 【0 0 5 0】

上記データ転送動作が連続する様子は図 6 のタイミングチャートに例示される。アドレスバス 1 6 A から画像メモリ 1 7 に順次アドレス信号 A 1、A 2、A 3 が与えられると、それに応答して、画像メモリ 1 7 から、夫々 1 2 8 ビットのデータ D 1、D 2、D 3 がデータバス 1 6 D に出力される。このデータは、8 ビット単位で符号拡張部 2 5 にて符号拡張され、夫々 1 クロック遅れて 1 4 4 ビットデータ E 1、E 2、E 3 としてバス 1 5 D に順次出力され、アドレスバス 1 5 A のアドレス信号 B 1、B 2、B 3 に従ってバッファ RAM 9 に順次格納される。

#### 【0 0 5 1】

例えば画像メモリ 1 7 に格納されたデータの状態が図 7 に例示される。ここでは、1 2 8 ビット幅のメモリにデータが 8 ビット単位で格納されている。これを、上記符号拡張機能付きのデータ転送制御部 5 を用いてバッファ RAM 9 に転送したときのデータの状態は、図 8 に例示される。図 8 より明らかなように、画像データの 8 ビット毎に最上位 1 ビットが符号拡張されて、9 ビット毎の符号付き画像データとされ、全部で 1 4 4 ビットのデータとしてバッファ RAM 9 に格納される。

#### 【0 0 5 2】

これにより、SIMD 演算部 3 はバッファ RAM 9 から符号付きの画像データを得ることができ、このデータを用いて、前記伸張処理に必要な符号付き演算を効率的に行うことができる。

#### 【0 0 5 3】

《SIMD 演算と DMA 転送の並列化》図 9 に SIMD 演算部 3 の一例が示される。SIMD 演算部 3 は 1 4 4 ビットの SIMD 演算器 4 0、SIMD 演算器 4 0 の入力データを保持する 1 4 4 ビットの演算入力レジスタ 4 1、4 2、SIMD 演算器 4 0 の演算結果を保持する演算結果レジスタ 4 3、及び SIMD バッファ 4 4 を有する。SIMD 演算器 4 0 は例えば 1 4 4 ビットの算術論理演算器

によって構成される。前記 SIMD バッファ 4 4 は、演算入力レジスタ 4 2 にデータを供給する。前記 SIMD バッファ 4 4 は、1 クロック毎に 9 ビットのデータをレジスタ 4 2 に供給する機能を持っている。レジスタ 4 2 では、9 ビットのビットシフトを行い、そして空いた 9 ビットの領域に SIMD バッファ 4 4 からデータを挿入する。従って、SIMD バッファ 4 4 の 1 4 4 ビットの全データを順次供給する間、つまり 1 6 クロックの間は、SIMD 演算器 4 0 は、レジスタ 4 1 と、毎クロックデータが更新されるレジスタ 4 2 との間で演算を行うことができる。そして、演算結果をレジスタ 4 3 の値に累積加算していく。したがって、この一連の演算において SIMD 演算器 4 0 はクロックサイクル毎にバッファ RAM 9 をアクセスするようなことを要しない。この一連の演算制御は CPU 2 からの制御信号で制御される。

## 【 0 0 5 4 】

図 1 0 には、データ転送制御部 5 による DMA 転送制御と SIMD 演算部 3 における SIMD 演算の動作タイミングが例示される。例えば最初の n クロックサイクル期間に、外部メモリ（画像メモリ）1 7 からバッファ RAM 9 にビット拡張を行いながらデータ転送が行なわれる（図 1 0 の DMA 転送 1 の期間）。次の n クロックサイクル期間では、CPU 2 がバッファ RAM 9 を第 1 ポート 9 B からアクセスして、レジスタ 4 1、レジスタ 4 2、SIMD バッファ 4 4 に必要なデータを転送し、その後、1 6 クロックの間で SIMD 演算器 4 0 は、レジスタ 4 1 と、毎クロックデータが更新されるレジスタ 4 2 との間で演算を行い、結果をレジスタ 4 3 と累積加算して格納する処理を行う（図 1 0 の SIMD 演算 1 の期間）。一方、この SIMD 演算 1 の期間に並行して、データ転送制御部 5 は、以降の SIMD 演算で使用するデータを外部メモリ 1 7 からバッファ RAM 9 に転送する動作を行う（図 1 0 の DMA 転送 2 の期間）。

## 【 0 0 5 5 】

バッファ RAM 9 から読み出されたデータに対する SIMD 演算部 3 による SIMD 演算に並行して前記バッファ RAM 9 に以降の演算に用いられるデータを転送制御することができる。このように、SIMD 演算中に DMA 転送を行うことができ、実質 DMA 転送の時間を見えなくすることができる。その結果、デー

タプロセッサ 1 による SIMD 演算のパフォーマンスを上げることができる。SIMD 演算器 4 0 は、符号拡張された必要なデータがいつも準備されている状態になり、演算効率が向上する。

## 【 0 0 5 6 】

《擬似デュアルポート》図 1 1 にはバッファメモリに擬似デュアルポートメモリを用いた例が示される。バッファメモリ 9 A は 2 個のバッファ RAM (A) 5 0、バッファ RAM (B) 5 1 を有し、どちらのバッファ RAM (A) 5 0、(B) 5 1 をアドレスバス 1 3 A、1 5 A のどちらに接続するかを選択回路 5 2 で選択し、どちらのバッファ RAM (A) 5 0、(B) 5 1 をデータバス 1 2 D、1 5 D のどちらに接続するかを選択回路 5 3 で選択するようになっている。要するに、バッファ RAM (A) 5 0、(B) 5 1 の一方を SIMD 演算部 3 側に接続したとき、他方はデータ転送制御部 5 側に接続することができ、双方のバッファ RAM (A) 5 0、(B) 5 1 に対して並列アクセスが可能になっている。前記選択回路 5 2、5 3 による選択制御は、例えば CPU 2 が全て制御し、或はアクセス主体である CPU とデータ転送制御部 5 との間でアクセス権を獲得した方が制御するようにしてもよい。

## 【 0 0 5 7 】

図 1 2 には SIMD 演算と DMA 転送の動作タイミングが例示される。図 1 1 の構成において、SIMD 演算器 4 0 の動作は図 9 及び図 1 0 で説明したのと同じであるが、バッファ RAM 5 0、5 1 の選択制御が異なる。まず、選択回路 5 2、5 3 で、バッファ RAM 5 0 をバス 1 5 A、1 5 D に接続し、バッファ RAM (B) 5 1 をバス 1 3 A、1 2 D に接続する。この状態で、最初の n サイクル期間に、データ転送制御部 5 が外部メモリ 1 7 からバッファ RAM (A) 5 0 に画像データを転送する（図 1 2 の DMA 転送 1 (A) の期間）。次の n サイクル期間では、選択回路 5 2、5 3 による選択状態を逆転させ、データ転送制御部 5 に外部メモリ 1 7 からバッファ RAM (B) 5 1 に画像データを転送させる（図 1 2 の DMA 転送 2 (B) の期間）。この DMA 転送に並行して、SIMD 演算器 4 0 では、先ほどバッファ RAM (A) 5 0 に転送されたデータを用いて演算を行う（図 1 の SIMD 演算 1 (A)）。n クロック後、再び選択回路 5 2、5



3による選択状態を逆転させる。そして今度は、SIMD演算器40ではバッファRAM(B)51に格納されているデータを用いて演算を行い(図12のSIMD演算2(B))、同時に反対側のバッファRAM(A)50には次のSIMD演算で使用するデータの転送を開始する(図12のDMA転送3(A)の期間)。

#### 【0058】

このような動作を行うことにより、バッファメモリ9Aは完全なデュアルポート構成を備えているものと同じ機能を実現できる。バッファRAM50, 51はシングルポートRAMでよく、夫々のメモリセルはワード線及びビット線をポート毎に個別に備える必要が無いから、バッファメモリ9Aによるチップ占有面積を削減できる。その他の演算効率向上の効果は先に説明した構成と変わらない。但し、選択回路52, 53に対する選択制御動作が増えることに注意しなければならない。

#### 【0059】

《符号拡張・切り捨て回路の別配置》図13には前記符号拡張回路25と符号切り捨て回路26の機能を備えた符号拡張・切り捨て回路25Aをデータ転送制御部の外に配置した例が示される。符号拡張・切り捨て回路25AをバッファRAM9とデータバス12Dとの間に配置する。符号拡張・切り捨て回路25Aの実質的な構成は図4及び図5と同じである。符号拡張・切り捨て回路25Aによる符号拡張動作は画像データをバッファRAM9からSIMD演算部3に転送する途上で行なわれ、ビット切り捨て動作はSIMD演算器3による演算結果をバッファRAM9に書込む途上で行なわれる。この場合には当然、データ転送制御回路5Aは符号拡張機能、ビット切り捨て機能を備える必要はない。即ち、データ転送制御回路5Aは単なるダイレクトメモリアクセスコントローラ(DMAC)であってよい。

#### 【0060】

図13の構成においては、符号拡張・切り捨て回路25Aによってデータバス12Dの信号線負荷(寄生容量、配線抵抗)が増し、これが信号遅延成分を増し、データバス12Dにおけるデータ転送速度に悪影響を与える場合の有ることに

注意しなければならない。

【 0 0 6 1 】

図 1 3 の構成にも図 1 1 で説明した 2 面バッファのバッファ RAM を採用してよい。この場合、図 1 4 に例示されるように、符号拡張・切り捨て回路 2 5 A は選択回路 5 3 とデータバス 1 2 D の間に配置される。

【 0 0 6 2 】

図 1 3、図 1 4 の構成においても上記同様に、S I M D 演算効率を向上させることができる。

【 0 0 6 3 】

《データアライナ》図 1 5 にはデータ転送制御部 5 にデータアライナ機能を追加した例が示される。データ入出力回路 2 4 とビット拡張回路 2 5 との間にデータアライナ 6 1 が設けられ、データ入出力回路 2 3 とビット切り捨て回路 2 6 との間にデータアライナ 6 0 が設けられている。その他の構成は図 2 で説明したものと同じであり、同一機能を有する回路ブロックのは同じ符号を付してその詳細な説明を省略する。

【 0 0 6 4 】

図 1 5 の構成では、例えば、画像メモリ 1 7 からバッファ RAM 9 にデータが転送される場合は、データアライナ 6 1 により、データがアライメントされる。そして、アライメントされたデータが、ビット拡張回路 2 5 で符号拡張される。特に制限されないが、データアライナ 6 1 は 8 ビット単位のシフト機能を有し、1 2 8 ビット単位のデータ入力を複数回行うことにより、1 2 8 ビット単位のデータ境界をまたがる画像データを揃えて符号拡張回路 2 5 に送ることができる。また、バッファ RAM 9 から画像データが転送される場合は、データアライナ 6 0 により、データがアライメントされる。そして、アライメントされたデータは、符号切り捨て回路 2 6 で符号が切り捨てられる。特に制限されないが、データアライナ 6 0 は 9 ビット単位のシフト機能を有し、1 4 4 ビット単位のデータ入力を複数回行うことにより、1 4 4 ビット単位のデータ境界にまたがるデータを画像メモリ 1 7 に送ることができる。このシフト制御も、特に制限されないが、制御レジスタ部 2 1 に設定された制御データに基づいて行なわれる。

## 【 0 0 6 5 】

データアライメント動作の一例を説明する。例えば画像メモリ 1 7 に、図 1 6 の様にデータが格納されているとする。このとき、S I M D 演算部 3 で必要なデータは、A 1 番地の 0 ビット目から 1 2 0 ビット目と A 2 番地の 1 2 0 ビット目から 1 2 7 ビット目のデータであるとする。その場合、先ず A 1 番地の 1 2 8 ビットをデータ入出力回路 2 4 に読み込み、読み込んだデータをデータアライナ 6 1 の初段ラッチにラッチして上位側（左側）へ 8 ビットシフトし、シフト結果を次段ラッチにて保持する。続いて、A 2 番地の 1 2 8 ビットを読み込み、読み込んだデータをデータアライナ 6 1 の初段ラッチにラッチして下位側（右側）へ 1 2 0 ビットシフトし、シフトしたデータを次段ラッチに供給する。その結果、図 1 7 に示すような、データアライメントされた 1 2 8 ビットのデータが得られる。これが符号拡張回路 2 5 を通ることにより、図 1 8 に例示されるように、符号拡張された 1 4 4 ビットの画像データがバッファ R A M 9 に格納される。

## 【 0 0 6 6 】

データ転送制御部 5 がデータアライメント機能を有することにより、S I M D 演算部 3 は、これまで必要としてきた、シフト操作などによるデータアライメント操作を必要とせず、演算効率が向上する。

## 【 0 0 6 7 】

《I P モジュールデータ》次に、上述の半導体集積回路化されたデータプロセッサ 1 の設計を容易化するという観点より、上述したデータ転送制御部 5 等の設計データ若しくはデータプロセッサ 1 それ自体の設計データを、所謂 I P モジュールとして提供することについて説明する。

## 【 0 0 6 8 】

I P モジュールとして提供する回路モジュールデータは、データプロセッサ 1 を前記半導体チップに形成する為の図形パターンデータ若しくは H D L （ハードウェア・ディスクリプション・ランゲージ）や R T L （レジスタ・トランスファ・ロジック）などによる機能記述データを含む。図形パターンデータは、マスクパターンデータ或いは電子線描画データなどである。機能記述データは、所謂プログラムデータであり、所定の設計ツールに読み込むことによってシンボル表示

で回路等を特定する事ができる。

【 0 0 6 9 】

また、IPモジュールの規模は図1に例示されるデータプロセッサのようなLSIレベルで無くても、データ転送制御部のような回路モジュールレベルであってもよい。

【 0 0 7 0 】

それらIPモジュールのデータは、図19に例示されるように、半導体チップに形成されるべき集積回路を設計ツールのようなコンピュータ70を用いて設計するためのデータであって、前記コンピュータ70により読取り可能にフレキシブルディスク、CD-ROM (Compact Disk Read Only Memory)、DVD-ROM (Digital Video Disk - ROM)、磁気テープなどの記録媒体71に記憶され、また、データの送受信が可能である伝送媒体によって転送されることによって提供される。伝送媒体は例えばモデム(MODEM)に接続されたネットワークである。記録媒体はハードディスク(HDD)であってもよい。例えば図1のデータプロセッサ1に対応されるハードIPモジュールのデータは、前記データプロセッサ1を構成する為のマスクパターンデータD1、そのデータプロセッサ1の機能記述データD2、及び当該データプロセッサ1のIPモジュールのデータを適用してLSIを設計したとき、その他のモジュールとの関係を考慮したシミュレーションを可能にしたりする為の検証用データD3を有する。

【 0 0 7 1 】

上記記録媒体71に格納されて提供されるデータプロセッサ1の回路モジュールデータを用いて半導体集積回路の設計を行えば、その設計を容易化することができる。

【 0 0 7 2 】

以上本発明者によってなされた発明を実施形態に基づいて具体的に説明したが、本発明はそれに限定されるものではなく、その要旨を逸脱しない範囲において種々変更可能であることは言うまでもない。

【 0 0 7 3 】

例えば、半導体集積回路にオンチップされる回路モジュールは図1の構成に限

定されない。例えばDCT処理回路の機能はCPUのソフトウェアで実現してもよい。また、画像メモリは外部メモリに限定されず、オンチップのシンクロナスDRAMを用いてもよい。また、データ転送制御部のデータ転送制御方式はDMACと同様に転送元アドレスや転送先アドレスをCPUによって初期設定する構成に限定されず、転送条件を予めメモリに格納しておき、転送要求に応答して必要な領域の転送条件を取り込んで動作を行う構成であってもよい。

## 【0074】

また、本発明においては、ビット拡張は符号拡張以外の拡張であることを妨げるものではない。

## 【0075】

また、IPモジュールデータはソフトウェアIPモジュールデータであってもよい。即ち、図19のマスクパターンデータD1を除いて、機能記述データD2及び検証用データD3によって構成されるところの設計データである。

## 【0076】

本発明はMPEG規格の画像データの圧縮伸張に適用する場合に限定されず、音声データなど、その他の情報の圧縮伸張、変調復調、符号化復号処理などにも広く適用することができる。

## 【0077】

## 【発明の効果】

本願において開示される発明のうち代表的なものによって得られる効果を簡単に説明すれば下記の通りである。

## 【0078】

SIMD演算部による演算動作に並行してデータバッファには以降の演算に用いるデータが転送されるから、SIMD演算部はデータバッファへの演算データの内部転送動作によって演算動作が中断されず、間段なく演算動作を行うことができ、SIMD演算を効率的に行うことができる。

## 【0079】

データ転送制御部にビット拡張の機能を設けることにより、データ転送制御の際に必要な符号拡張を行うことができ、SIMD演算を効率良く行うことができ

る。

【 0 0 8 0 】

データ転送制御部にデータアライメント機能を設けることにより、S I M D 演算に必要な、任意の画素単位データを、データ転送時に用意することができ、S I M D 演算の演算実行効率を上げることができる。

【 0 0 8 1 】

必要なデータをS I M D 演算器のデータレジスタに揃えるというようなデータ整形のために、データシフト命令などを組み合わせて実行する必要がなく、効率的にS I M D 演算器を動作させることが可能である。

【 0 0 8 2 】

上記本発明に係る半導体集積回路の回路モジュールデータを格納したコンピュータ読取り可能な記録媒体を提供することにより、その回路モジュールデータを用いれば、当該半導体集積回路の設計を容易化することができる。

【図面の簡単な説明】

【図 1】

本発明に係る半導体集積回路の一例を示すブロック図である。

【図 2】

データ転送制御部の詳細な一例を示すブロック図である。

【図 3】

データ転送制御部に含まれるデータ入出力回路の詳細な一例を示すブロック図である。

【図 4】

データ転送制御部に含まれるビット拡張回路の詳細な一例を示すブロック図である。

【図 5】

データ転送制御部に含まれるビット切り捨て回路の詳細な一例を示すブロック図である。

【図 6】

データ転送制御部により画像メモリからバッファR A M に画像データを転送す

る動作を例示するタイミングチャートである。

【図 7】

画像メモリに格納された画像データの状態を例示する説明図である。

【図 8】

符号拡張機能付きのデータ転送制御部を用いて画像データをバッファRAMに転送したときのデータの状態を例示する説明図である。

【図 9】

SIMD演算部の一例を示すブロック図である。

【図 10】

データ転送制御部によるDMA転送制御とSIMD演算部におけるSIMD演算の動作タイミングを例示するタイミングチャートである。

【図 11】

バッファメモリに擬似デュアルポートメモリを用いた例を示すブロック図である。

【図 12】

図 11 の構成によるDMA転送制御とSIMD演算の動作タイミングを例示するタイミングチャートである。

【図 13】

符号拡張・切り捨て回路をデータ転送制御部の外に配置した例を示すブロック図である。

【図 14】

符号拡張・切り捨て回路をデータ転送制御部の外に配置し且つ2面バッファのバッファRAMを採用した例を示すブロック図である。

【図 15】

データ転送制御部にデータアライナ機能を追加した例を示すブロック図である。

【図 16】

データアライメント動作対象とされるデータが画像メモリ17上における配置状態を示す説明図である。

【図 17】

データアライメントされた画像データの配列状態を示す説明図である。

【図 18】

データアライメントされて符号拡張された画像データの配置を例示する説明図である。

【図 19】

IP モジュールデータの一例を集積回路の設計ツールのようなコンピュータと共に示した説明図である。

【符号の説明】

- 1 データプロセッサ
- 2 CPU
- 3 SIMD 演算部
- 4 DCT 処理回路
- 5 データ転送制御部
- 9 バッファ RAM
- 9A 第2ポート
- 9B 第1ポート
- 17 画像メモリ(外部メモリ)
- 12D 第1バス
- 15D 第2バス
- 25 ビット拡張回路(符号拡張回路)
- 26 ビット切り捨て回路(符号ビット切り捨て回路)
- 25A 符号拡張・切り捨て回路
- 40 SIMD 演算器
- 41 演算入力レジスタ
- 42 演算入力レジスタ
- 43 演算結果レジスタ
- 44 SIMD バッファ
- 60, 61 データアライナ



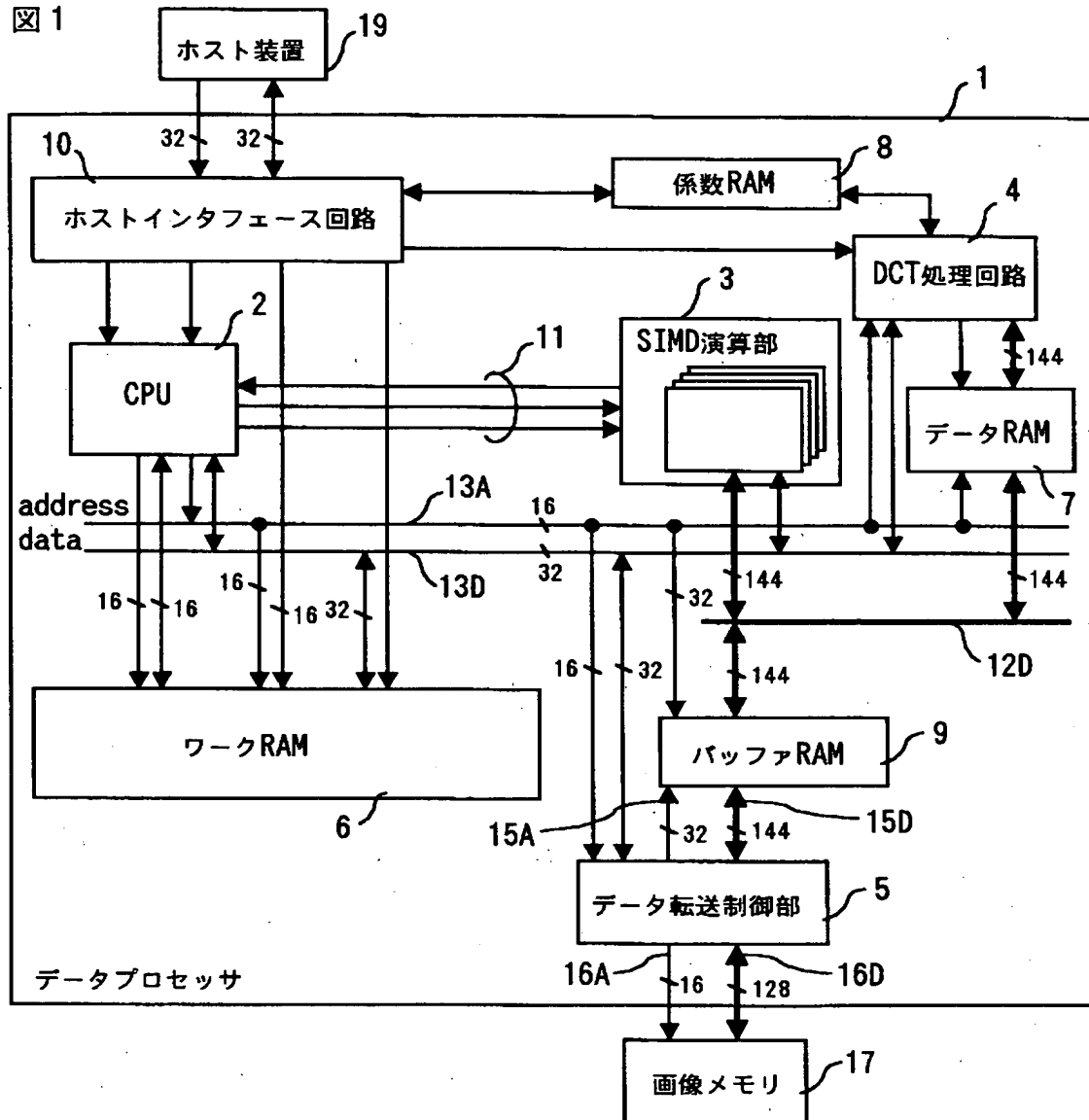
7 0 コンピュータ装置

7 1 記録媒体

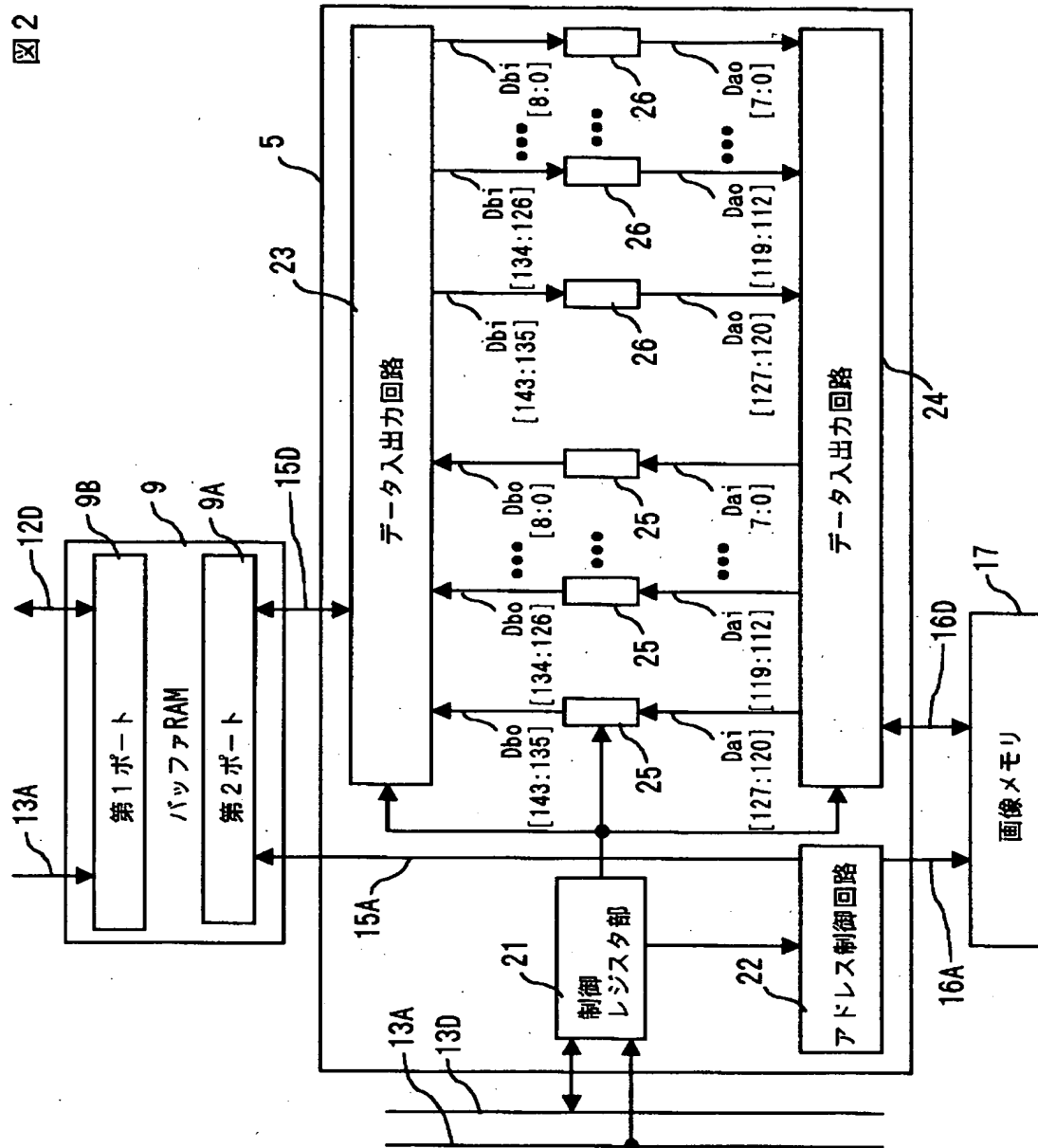
【書類名】 図面

【図 1】

図 1

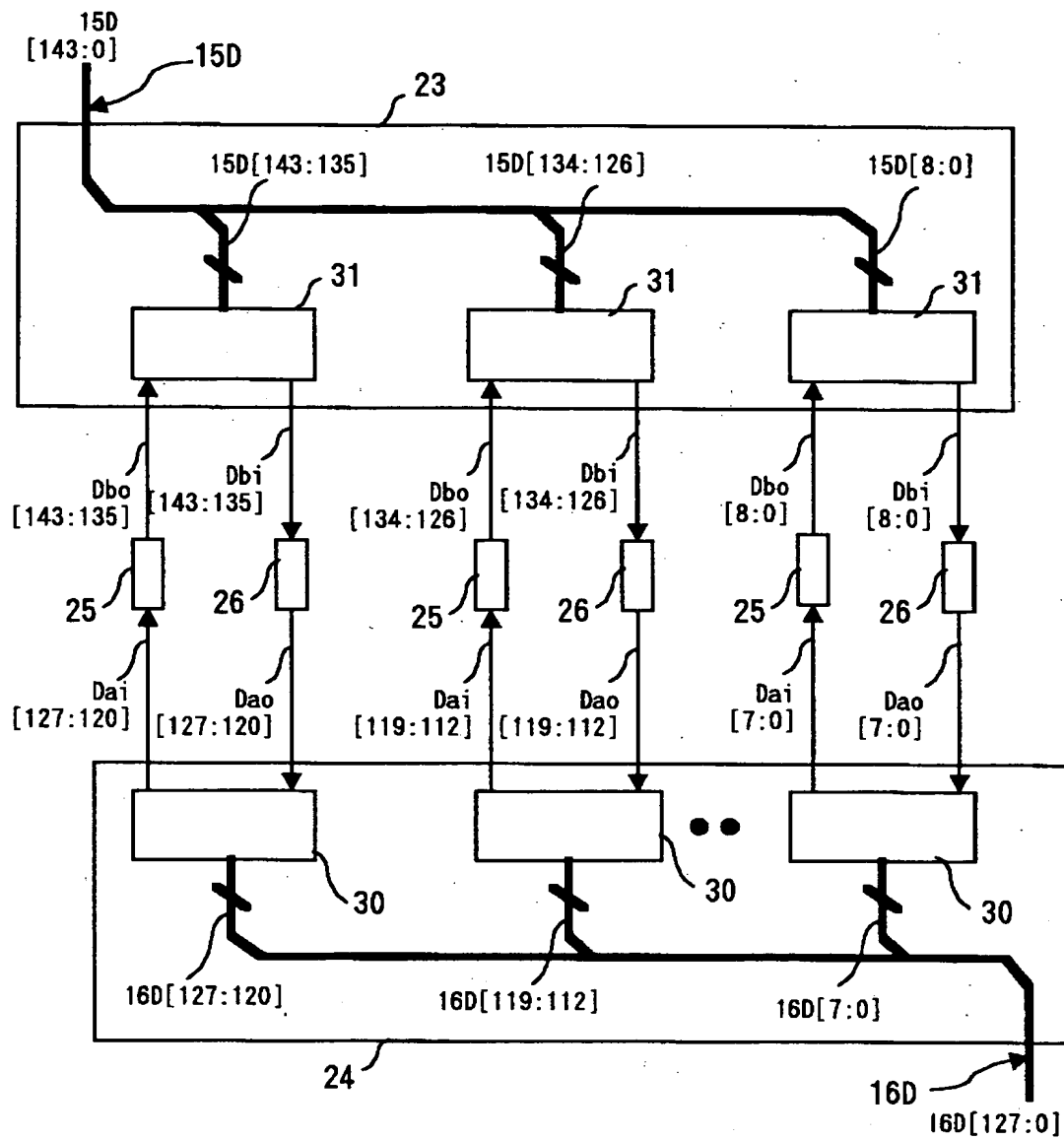


【図2】

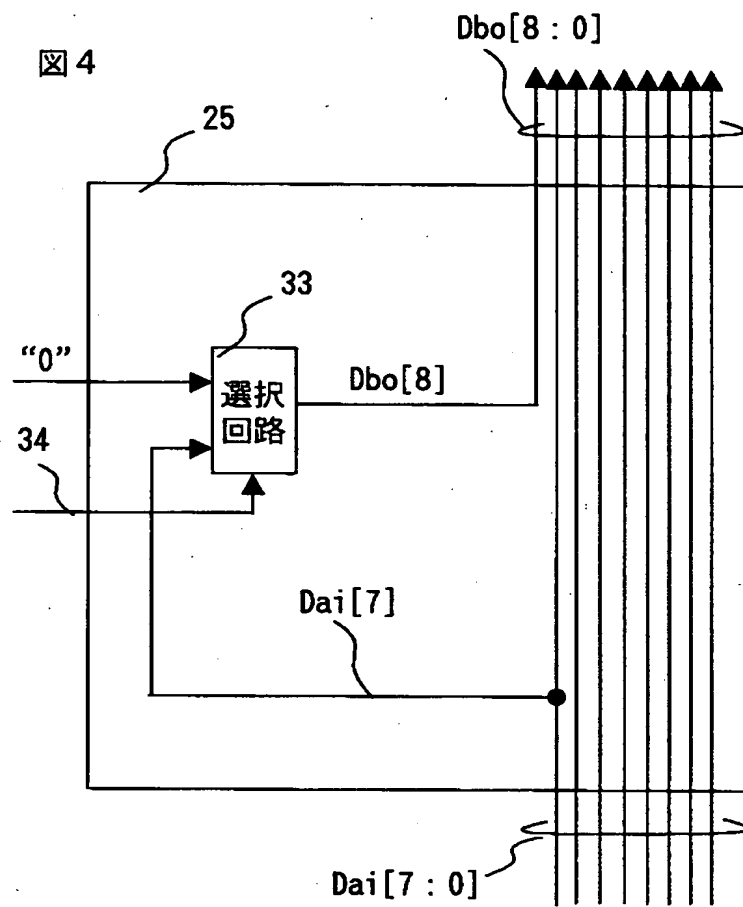


【図 3】

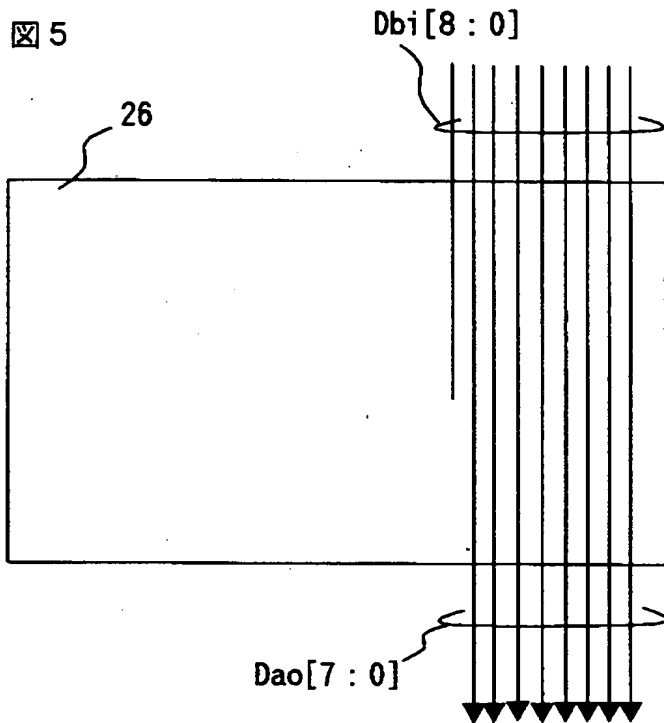
図 3



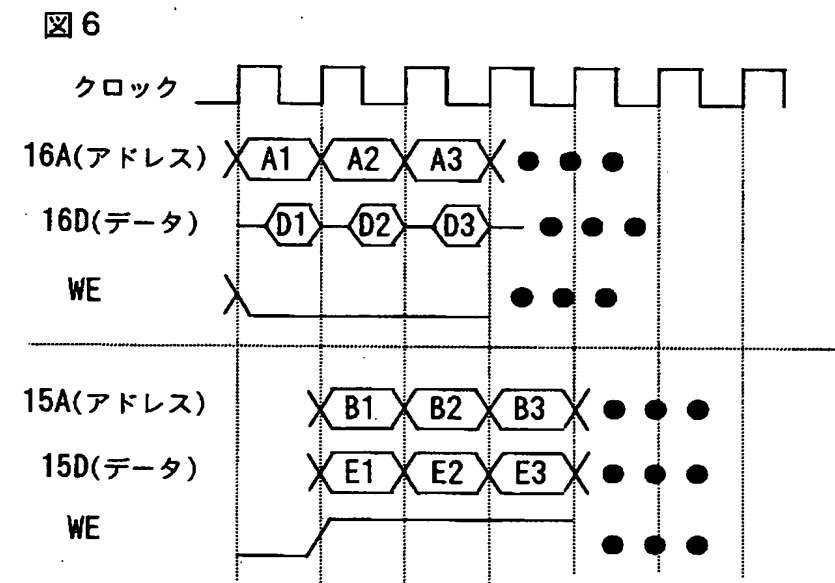
【図 4】



【図 5】

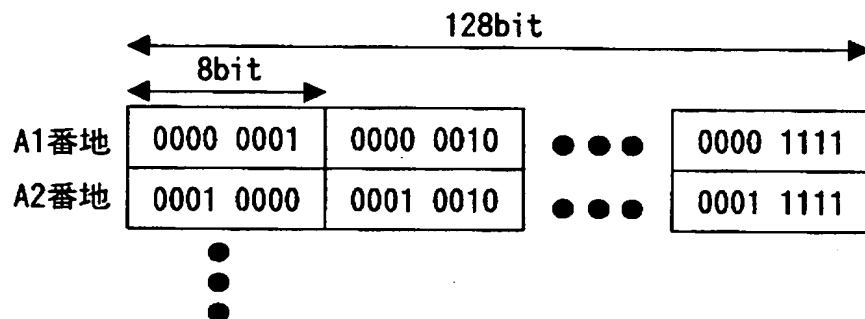


【図 6】



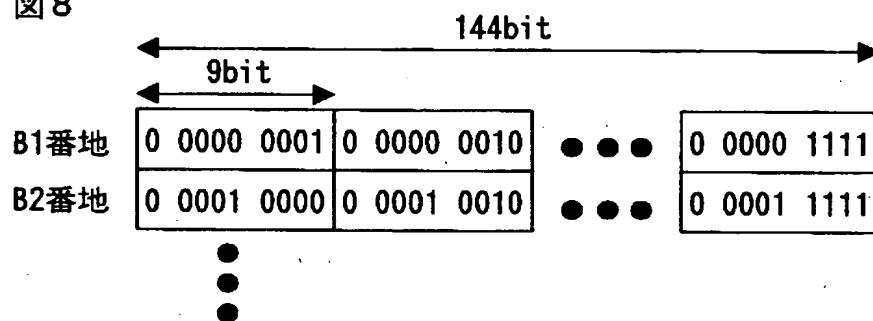
【図 7】

図 7

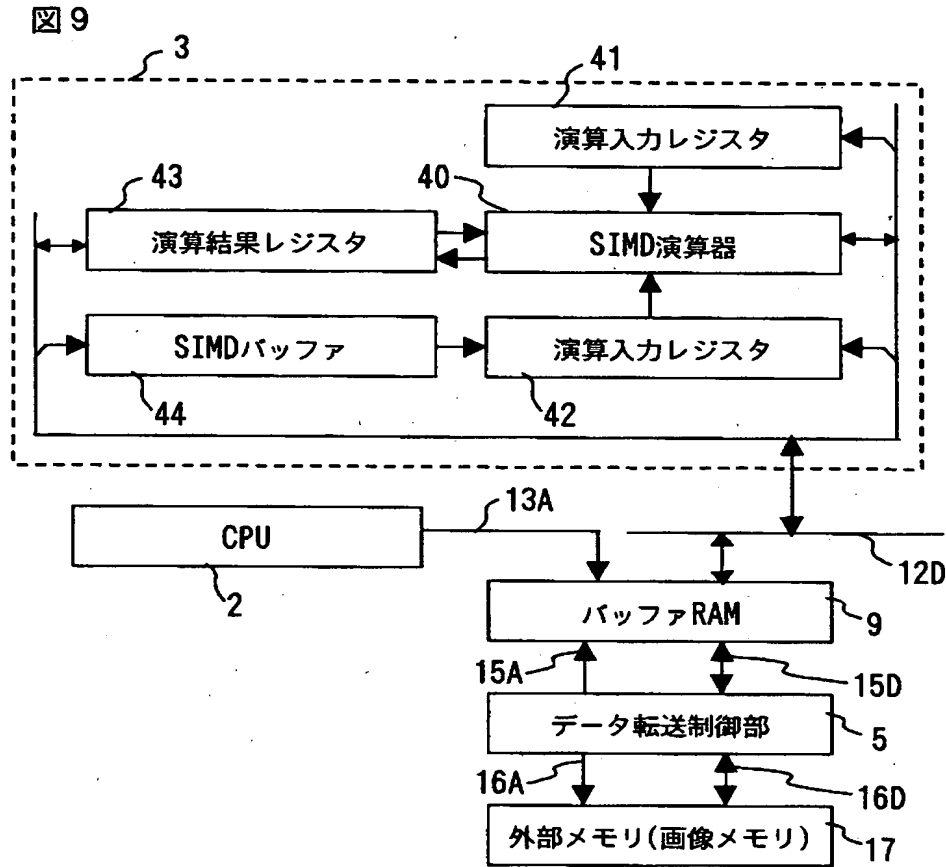


【図 8】

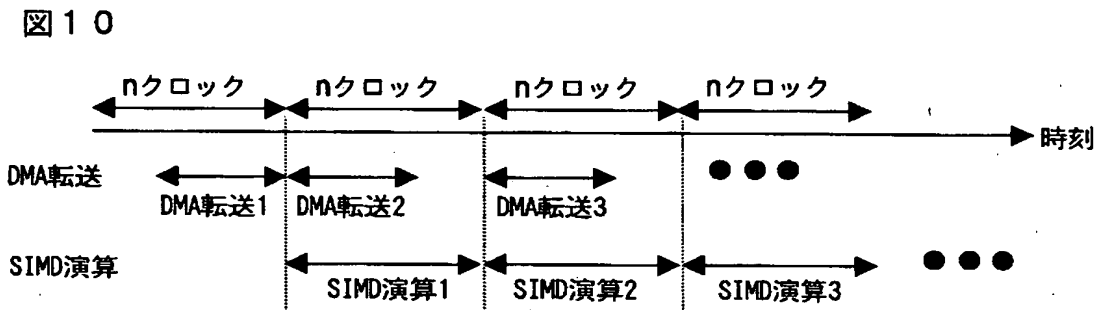
図 8



【図9】

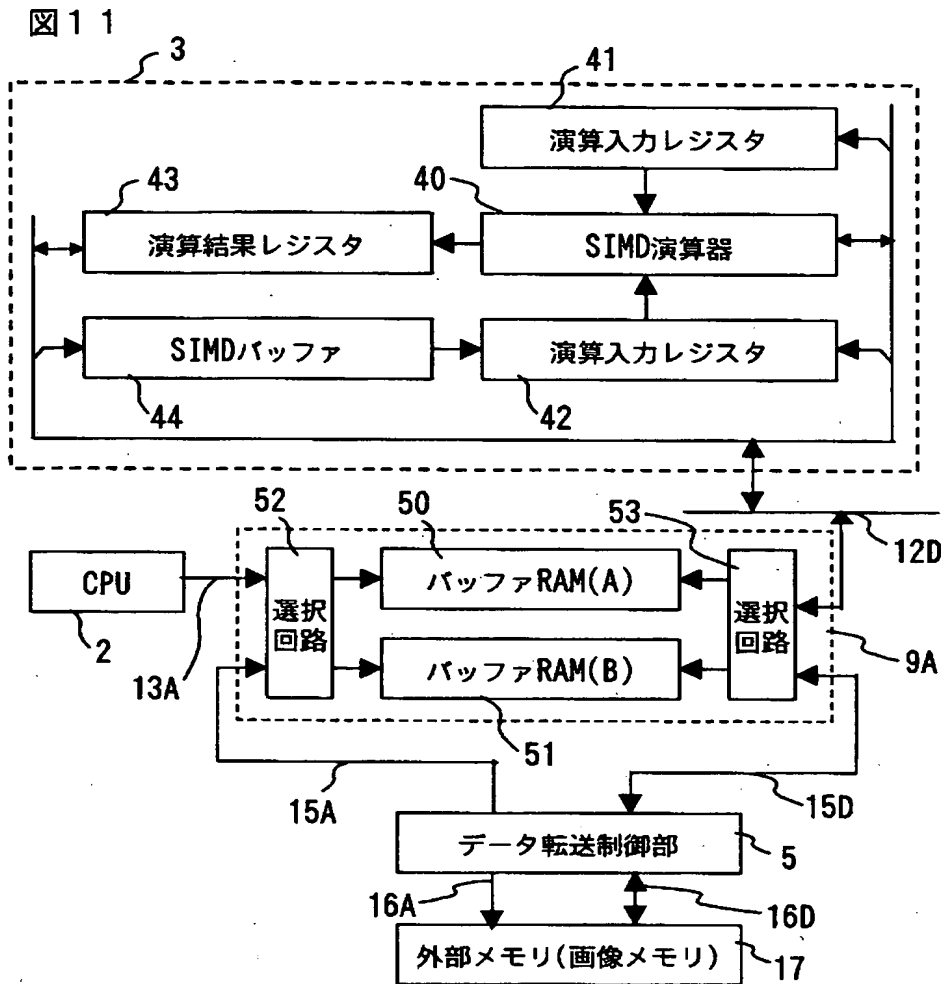


【図10】

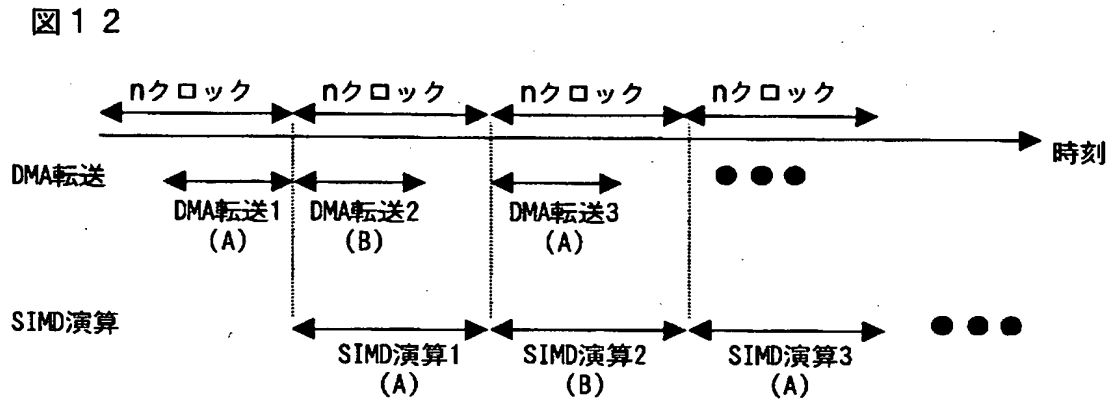




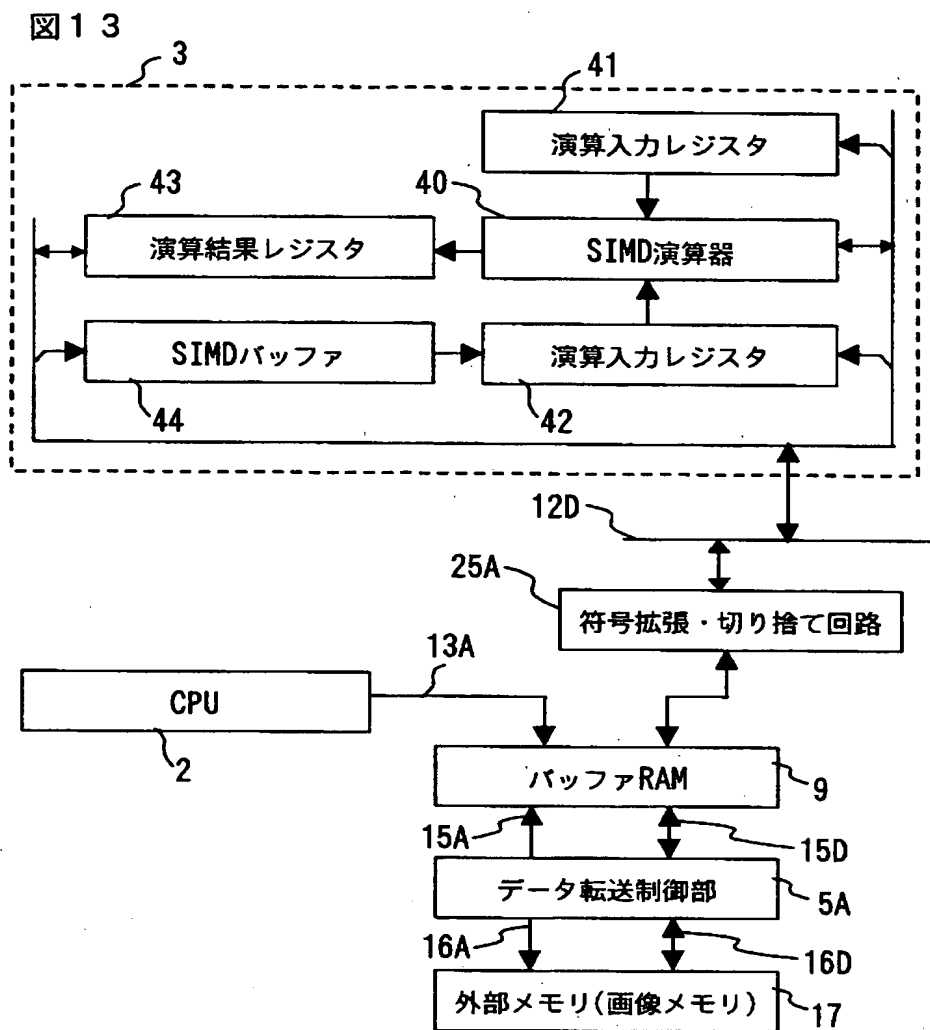
【図11】



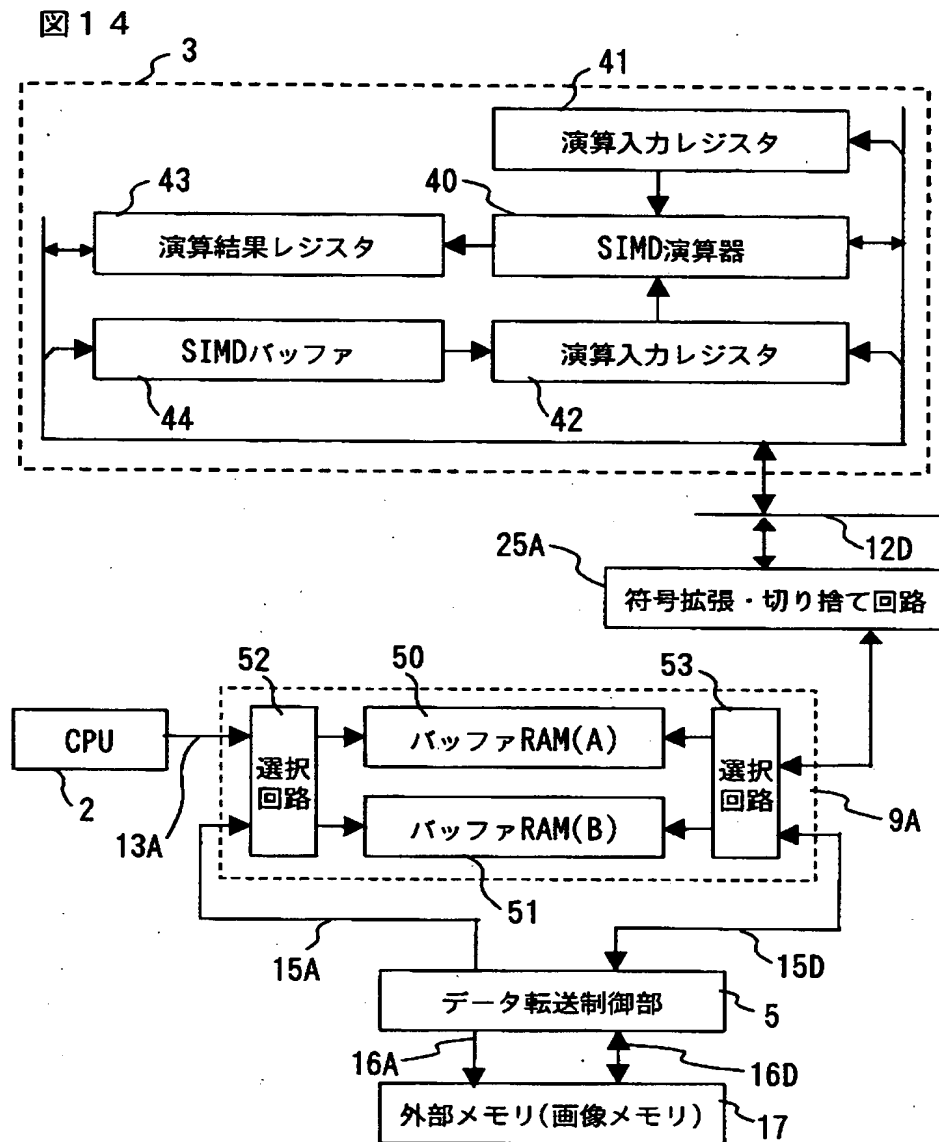
【図12】



【図 13】



【図14】



【図15】

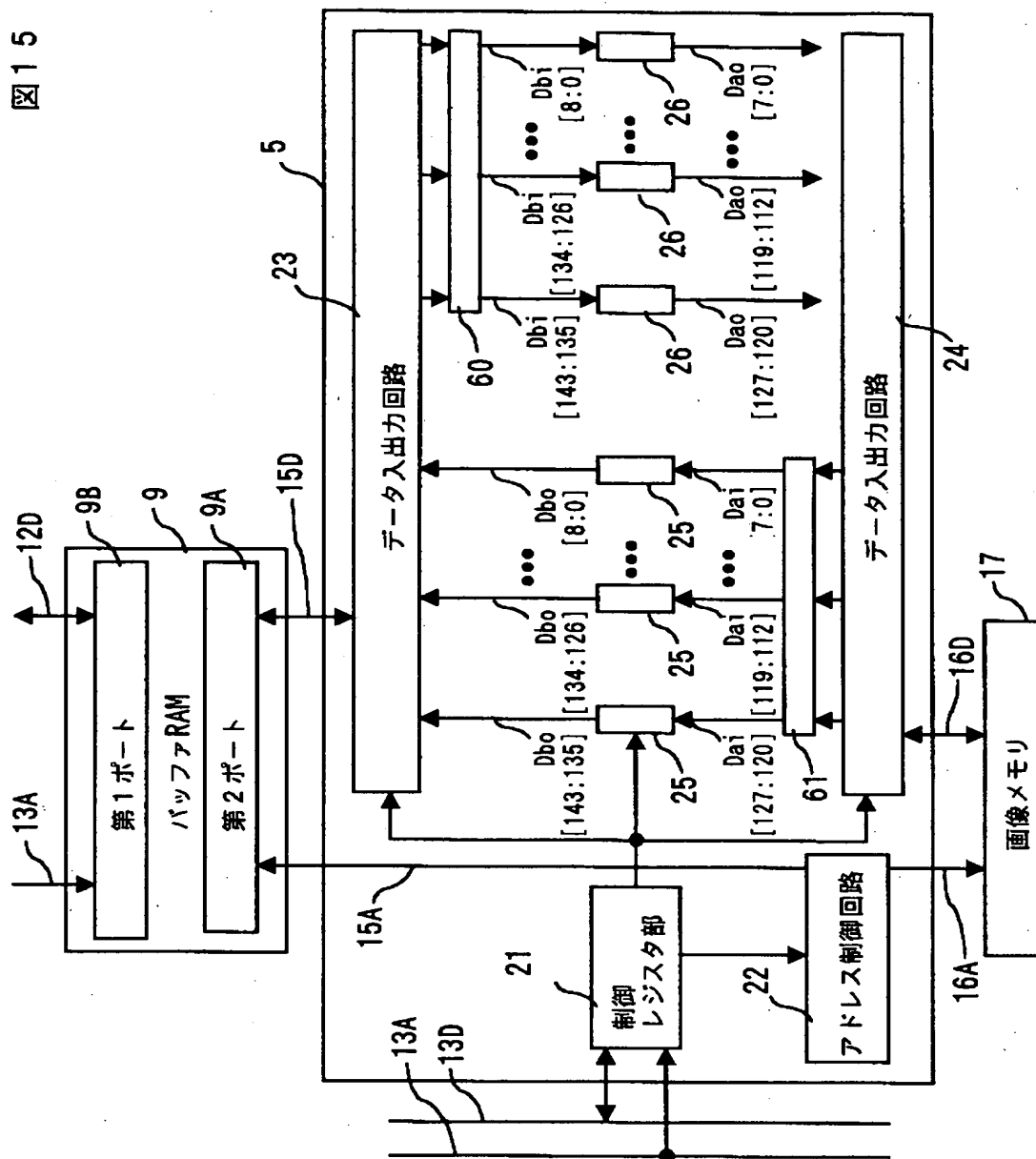
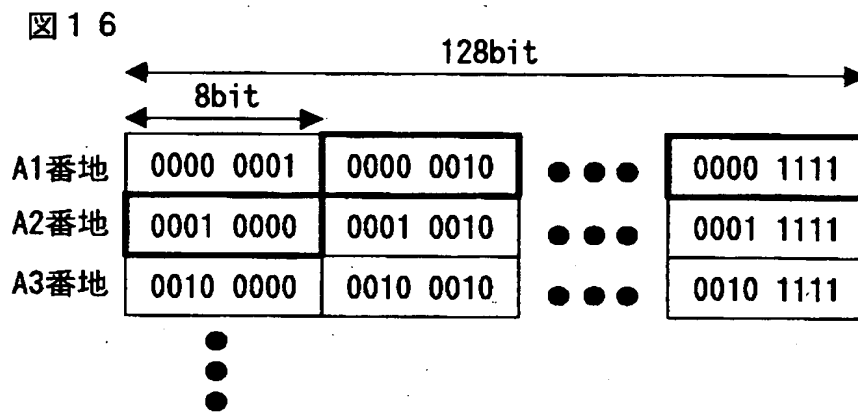
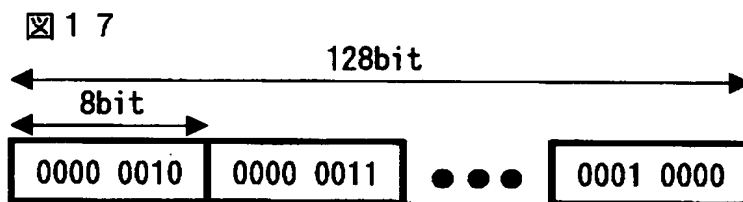


図15

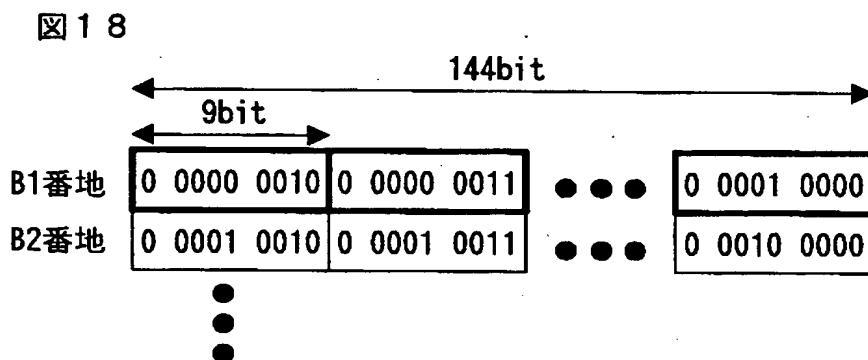
【図 1 6】



【図 1 7】

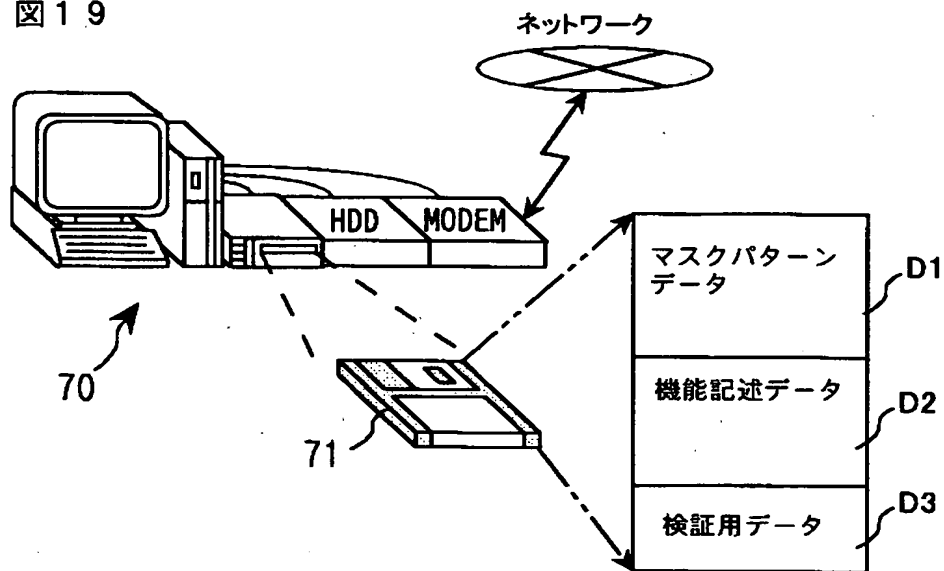


【図 1 8】



【図 19】

図 19



【書類名】            要約書

【要約】

【課題】     S I M D 演算を効率的に行うことができる半導体集積回路を提供する

【解決手段】   半導体集積回路（１）は、複数個のデータを並列演算可能な S I M D 演算部（３）と、S I M D 演算部に接続可能なデータバッファ（９）と、データバッファとの間のデータ転送制御を行うデータ転送制御部（５）とを有し、データ転送制御部は、データバッファから読み出された複数個のデータに対する S I M D 演算部による演算動作に並行してデータバッファに次の演算に用いるデータを転送制御可能とされる。S I M D 演算部による演算動作に並行してデータバッファには以降の演算に用いるデータが転送されるから、S I M D 演算部はデータバッファへの演算データの内部転送動作によって演算動作が中断されず、間段なく演算動作を行うことができ、S I M D 演算を効率的に行うことができる。

【選択図】            図 1

出 願 人 履 歴 情 報

識別番号 [000005108]

1. 変更年月日	1990年 8月31日
[変更理由]	新規登録
住 所	東京都千代田区神田駿河台4丁目6番地
氏 名	株式会社日立製作所